

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168493

(43)Date of publication of application : 22.06.1999

(51)Int.Cl.

H04L 12/46

H04L 12/28

H04L 29/00

(21)Application number : 10-264753

(71)Applicant : WHITAKER CORP:THE

(22)Date of filing : 18.09.1998

(72)Inventor : JOSEPH R REGAN

MILLER RICHARD D

(30)Priority

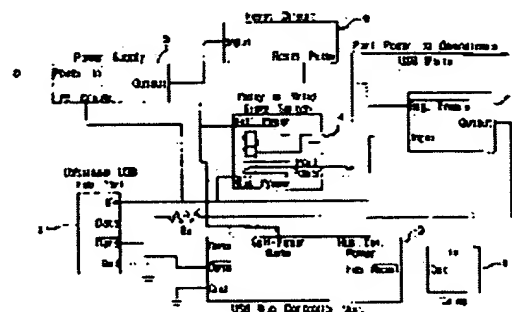
Priority number : 97 59858 Priority date : 24.09.1997 Priority country : US

(54) CIRCUIT FOR CHANGING-OVER POWER SOURCE FOR HUB AND ITS METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To automatically execute change-over of a power source for a downstream hub port between a bus current mode and a self power source mode without interrupting a hub or without stopping a hub operation.

SOLUTION: Data and a hub power source is supplied to a hub chip 3 to which an upstream universal serial bus(USB) port 2 is connected. A controllable switch 4 is connected between bus power source and self power source signals coming from a downstream USB 2 or a power source 5. A control circuit consisting of a digitally enabled switch 1, a reset circuit 6 and a delay circuit 8 is connected to the controllable switch and the hub chip 3. In the control of the switch 4 and change-over between the self power source mode and a bus power source mode, they are executed together with the resetting of the hub chip 3. A reset function interrupts a bus circuit power source for the hub chip 3 and the power source for a terminating resistor Rx for a specified period, applies the power source again and, then, supplies a delay hub reset signal to the hub chip 3 so as to execute resetting.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-168493

(43) 公開日 平成11年(1999) 6月22日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/46

H 0 4 L 11/00

3 1 0 C

12/28

13/00

T

29/00

審査請求 未請求 請求項の数 2 O L (全 18 頁)

(21) 出願番号 特願平10-264753

(22) 出願日 平成10年(1998) 9月18日

(31) 優先権主張番号 60/059858

(32) 優先日 1997年9月24日

(33) 優先権主張国 米国 (U S)

(71) 出願人 392030737

ザ ウィタカー コーポレーション
アメリカ合衆国 デラウェア州 19808
ウィルミントン ニューリンデンヒル ロ
ード 4550 スイート 450

(72) 発明者 ジョセフ アール レーガン

アメリカ合衆国 ペンシルバニア州
17113 スティールトン キング ストリ
ート 902

(72) 発明者 リチャード ディー ミラー

アメリカ合衆国 ペンシルバニア州
17601 ランカスター エンパイアー サ
ークル 1209

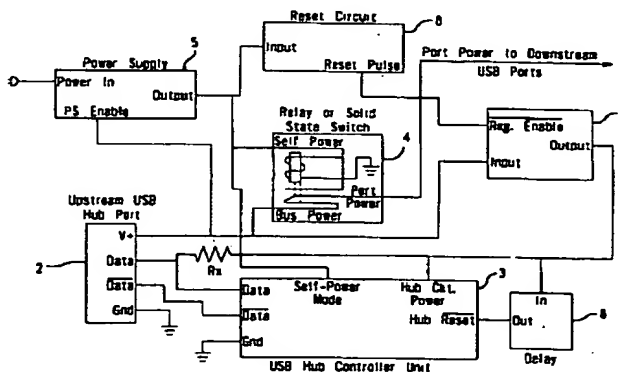
(74) 代理人 弁理士 廣瀬 一

(54) 【発明の名称】 ハブ用電源切替回路及び方法

(57) 【要約】

【目的】 ハブをホストコンピュータから遮断することなく自動的に電源モードの切替を可能にするハブ用電源切替回路及び切替方法を提供すること。

【構成】 電源5、上流ハブポート2、ハブ制御回路3、所定時間を決定する遅延回路8、電源切替スイッチ4及びリセット回路6を具える。



【特許請求の範囲】

【請求項 1】 上流ハブポートと下流ハブポートを有し、自己電源モード及びバス電源モードに構成可能なハブ用電源切替回路において、

自己電源信号を有する電源と、

前記ハブに電源供給するバス電源信号及び前記ハブの入力に接続されたデータ信号を有する上流ハブポートと、前記自己電源信号を検知し、前記下流ハブポートへの電源を前記自己電源モード及びバス電源モード間で切替る制御可能なスイッチと、

該スイッチに接続されバス電源入力、自己電源入力、電源モード出力及びハブ回路電源出力を有する制御回路とを具えることを特徴とするハブ用電源切替回路。

【請求項 2】 ハブに供給されている電源の変化に応じて前記ハブを自動的にエニユメレートするハブ用電源切替方法において、

バス及び電源から供給される電源の変化を検知することと、

前記ハブと終端抵抗に供給されるハブ電源信号を所定期間不能化するリセット信号を発生することと、

前記所定期間後に、Hub /Reset信号を発生して前記ハブのエニユメレーションプロセスを開始することを有することを特徴とするハブ用電源切替方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はハブ装置、特にハブ用自動電源切替回路及び方法に関する。

【0002】

【従来の技術】 コンピュータ業界は、USB（ユニバーサルシリアルバス）標準化の方向にあるので、コンピュータにマウス、モデム、キーボードその他の周辺機器又はデバイスを接続する必要性が生じた。これらハブ装置（以下、単にハブという）は、コンピュータのUSBポートからの単一入力及び接続される各種周辺デバイスへの多数の出力接続とを有するように設計されている。また、ハブは、カスケード（縦続）接続して、ハブからの入力ポートがその出力ポートの1つにおいて上流のハブに接続可能にできる。これらハブは、バス電源又は自己電源（セルフパワー）であっても良い。バス電源ハブは、ホストコンピュータ又は上流ハブのいずれかから供給される。自己電源ハブは、専用電源を有し、電力をその出力ポート及びこれら出力ポートに接続されている下流デバイスに電力を供給する。

【0003】 1996年（平成8年）1月15日付けのUniversal Serial Bus Specification Revision 1.0（ユニバーサル シリアスバス仕様書第1.0版）に説明されているUSB標準又は規格によるとハブを介してホストコンピュータにデバイスをダイナミック接続することが可能である。ハブがホストコンピュータに接続されると、このホストコンピュータは、そのデスクリプタ情報を読取

り、エニユメレーションと称されるプロセスを介してハブを構成する。このハブのデスクリプタ情報は、それが自己電源かバス電源モードかにより変化する。エニユメレーションプロセスは、上述したUSB仕様書の第9.1.2章で詳細に説明されている。このエニユメレーションは、ハブをホストコンピュータから一時的に切り離し、その後に再接続することにより始められる。

【0004】

【発明が解決しようとする課題】 上述した従来技術の問題点は、電源モードを切替る為に、ユーザはハブをホストコンピュータから切離し、ハブの少なくとも1個のスイッチ又はジャンパを切替て電源モードを表示し、次にエニユメレーションプロセスを始める為に、ハブを再接続し、変更されたデスクリプタ情報を送って電源モードを指示する必要があることである。

【0005】 従って、本発明の目的は、ハブを遮断することなく又はハブの動作を停止することなくバス電源及び自己電源モード間で自動的に切替できる回路及び方法を提供することである。

20 【0006】

【課題を解決するための手段】 本発明のハブ用電源切替回路は、上流ハブポートと下流ハブポートとを有し、自己電源モード及びバス電源モードに構成可能なものであって、自己電源信号を有する電源と、ハブに電源供給するバス電源信号及びハブの入力に接続されたデータ信号を有する上流ハブポートと、自己電源信号を検知して下流ハブポートへの電源を自己電源モード及びバス電源モード間で切替る制御可能なスイッチと、このスイッチに接続されバス電源入力、自己電源入力、電源モード出力及びハブ回路電源出力を有する制御回路とを具えることを特徴とする。

30

【0007】 また、本発明のハブ用電源切替方法は、ハブに供給されている電源の変化に応じてハブを自動的にエニユメレートするものであって、バス及び電源から供給される電源の変化を検知することと、ハブと終端抵抗に供給されるハブ電源信号を所定期間不能化するリセット信号を発生することと、この所定期間後にHub /Reset（本明細書では／は、それに続く文字上のバーを意味する）信号を発生してハブのエニユメレーションプロセスを開始することとを有することを特徴とする。

40

【0008】

【発明の実施の形態】 以下、本発明のハブ用電源切替回路及び方法の好適実施形態を添付図を参照して詳細に説明する。

【0009】 先ず、図1を参照して本発明のハブ用電源切替回路の概要をブロック図で説明する。この回路の主コンポーネントはハブチップ3であり、この特定例にあってはUSB用ポートハブである（米国テキサスインストルメント社製の部品番号第TUSB2040）。このTUSB2040は、CMOS（相補）MOS）製であ

50

って、上述したUSB仕様書バージョン1.0に準拠して4個の下流ポートまで提供可能である。これは、バス電源及び自己電源の2個の電源モードをサポートする。バス電源モードでは、ハブチップ3と下流のポートとは、同じ電源を共用する。電源の切替及び過電流状態の検出には外部デバイスが必要である。上流USBポート2は、ハブチップ3に接続され、ハブチップ3にデータとハブ電源を供給する。

【0010】電源5は、内部又は外部に配置され、ハブチップ3にも接続されて自己電源モードで下流ポートに電力供給が可能である。制御可能なスイッチ4が下流USBポート2又は電源5から来るバス電源及び自己電源信号間に接続されている。デジタル的にイネーブルされるスイッチ1、リセット回路6及び遅延回路8より成る制御回路が制御可能なスイッチ及びハブチップ3に接続され、スイッチ4の制御と自己電源及びバス電源モード間の切替があるときハブチップ3のリセットとの両方を行う。リセット機能は、先ずハブチップ3へのバス回路電源及び終端抵抗Rxへの電源を特定期間遮断し、電源を再度印加し、次にこの期間後にハブチップ3に遅延ハブリセット信号を供給することにより実行する。これにより、ハブ回路チップ3と、上流のUSBハブポート2に接続されたホストコンピュータ間でエニュメレーションプロセスを開始する。

【0011】次に、図1のブロックダイアグラムを詳細に説明する。上流ハブポート2は、バス電源信号(V+)、2つのデータ信号(data、/data)を通過させ、更に接地接続(GND)を有する。このバス電源信号(V+)は、制御可能なスイッチ4のバス電源ポートに供給される。このスイッチ4は、通常この信号を下流に通過させるように構成している。このバス電源信号(V+)は、デジタル的にイネーブルされたスイッチ1の入力にも供給される。最後に、バス電源信号(V+)は電源5のPS Enableポートに印加される。上流ハブポート2のデータ信号は、終端抵抗Rxとハブチップ3のデータポートに印加される。上流ハブポート2の/data信号は、ハブチップ3の/dataポートに接続される。

【0012】電源5は、制御可能なスイッチ4の自己電源ポートに接続された出力を有する。また、その出力信号もハブチップ3の自己電源モード入力及びリセット回路6の入力に接続される。リセット回路6は、そのReset Pulse出力にリセットパルスが発生することができる。このReset Pulse出力は、デジタル的にイネーブルされるスイッチ1の/Reg. Enableポートに接続される。このデジタル的にイネーブルされるスイッチ1の出力信号は、遅延回路8、ハブチップ3のHub Ckt. Power入力及びハブチップ3のDataポートに接続された終端抵抗Rxに接続される。遅延回路8は、その入力に現れる信号に遅延を生じさせるRC回路から成る。

【0013】図1に示すシステムの動作を以下に、図1及び図2を参照して説明する。図2は、すべての電源がオフから始まり、バス電源及び自己電源モードの4つの可能な変化を示すタイミング図を示す。先ず、ハブがホストコンピュータから切断され且つ電源5が接続されていない時点(t0)で、自己電源及びバス電源信号レベルは両方とも0である。この状態では、全ての回路に電源が得られないので、すべての信号レベルもまた0である。上流ハブポート2をホストコンピュータに接続すると、バス電源V+を上流ハブポート2に印加する(時刻t1)。制御可能なスイッチ4は、ノーマル(通常)状態であり、電源はスイッチを通して、1個又はいくつかの下流ハブポートに接続されたポート電源出力に印加する。

【0014】リセット回路6は、ロジック1のReset Pulse出力に状態を変え、よって/Reg. Enable信号を高(ハイ)に移行させる(時刻t2)。遅延の後/Reg. Enable信号は低(ロー)となり(時刻t1)、デジタル的にイネーブルされたスイッチ1がイネーブルされる。このデジタル的にイネーブルされたスイッチ1は、/Reg. Enable入力が低(ロー)になっているときのみイネーブル状態の出力を有する。このイネーブル状態では、バス電源をその入力から出力に通過させてHub Ckt. Power信号を高(ハイ)とし、遅延回路8を開始する。また、バス電源は、デジタル的にイネーブルされたスイッチ出力から終端抵抗Rxに印加され、ハブが接続されていることをホストコンピュータに認識させる。これは、ホストコンピュータとハブチップ3との間のエニュメレーションを開始する為の前提要件である。終端抵抗器Rxへの電源の印加は、ハブをホストコンピュータに付けたのと同じ効果を有する。その理由は、ホストコンピュータは、データラインに印加されている電源を検知するからである。遅延時間の後(t2-t1)、遅延回路8の出力は、高(ハイ)となり、Hub /Resetポート状態を変更させる。これによりホストコンピュータをトリガーしてエニュメレーションを開始する。

【0015】上流ハブポート2がホストコンピュータに接続されているとき、電源5が付勢されると(時刻t4)、電源5からの出力は制御可能なスイッチ4を作動し、自己電源モード信号を高(ハイ)にする。このスイッチ動作は、図2中に時刻t4でPort Power信号の遮断で示される。このスイッチ動作の後、制御可能なスイッチ4のPort Power出力は、電源5の出力により自己電源入力を介して供給される。

【0016】この電源出力は、電源リセット回路6にも供給され、再度エニュメレーションプロセスを開始する。電源リセット回路6への入力が高(ハイ)のとき、電源リセット回路6は、時刻t4にリセットパルスを生じ、デジタル的にイネーブルされるスイッチ1の/Reg. Enableポートに印加される。これは、デジタル的にイネ

ープルされるスイッチ1の出力を低（ロー）とし、電源をR_xから除去してハブがホストコンピュータから切離されたかの如く見えるようにする。Hub Ckt. Power信号は、デジタル的にイネーブルされるスイッチ1に印加されてリセットパルスの幅だけ遮断される。このリセットパルスは、時間（t₄-t₅）の期間中継続し、その後、ロジック0又は低（ロー）状態に戻る。これにより、デジタル的にイネーブルされるスイッチ1の出力を高（ハイ）とし、遅延回路8を開始する。入力に信号を印加してから遅延時間（t₅-t₆）後に、遅延回路出力は高（ハイ）となり、Hub /Reset信号を高（ハイ）とする（時刻t₆）。Hub /Reset信号が高（ハイ）となると、エニュメレーションプロセスがホストコンピュータとハブチップ3間で開始する。

【0017】上流ハブポート2がホストコンピュータに接続されたままで、電源5が減勢されると（時刻t₇）、制御可能なスイッチ4は減勢され、ポート電源はバス電源に切替られる。この電源リセット回路6は、時刻t₇に電源出力が除去されたことを検知し、デジタル的にイネーブルされるスイッチ1の/Reg. Enableポートに入力される。リセットパルス（t₇-t₈）を発生する。このHub Ckt. Power信号は/Reg. Enable信号のリセットパルスの幅だけ低（ロー）となる。同時に、R_xへの電源は遮断され、ハブがホストコンピュータから切り離されたかの如く見えるようにする。リセットパルスが終わった後（t₈）、デジタル的にイネーブルされるスイッチ1の出力はオンとなり、電力をR_xに供給し、ホストコンピュータに対してハブが再度接続されたかの如く見えるようにする。これと同時に（t₈）、電力が遅延回路8に供給され、遅延信号がハブチップ3のHub /Resetポートに印加される。これにより、ホストコンピュータとハブチップ3間で時刻t₉にエニュメレーションプロセスを開始する。

【0018】電源出力は、上流ハブポート2がホストコンピュータから遮断された時、上流ハブポート2から電源5のPS Enableポートに来るバス電源信号によりイネーブルされるので、ハブチップ3への全ての電力は除去される。上流ハブポート2のV₊から来る電力はなく、電源5は付勢されてもイネーブルされていないので、制御可能なスイッチ4は通常状態にとどまり、下流ポートに電力が供給されるのを阻止する。

【0019】図1のブロックダイアグラムに示すハブ用電源切替回路の一実施例乃至具体例を図3に示す。尚、図中の全てのコンポーネントには、例えばR₂₂の如くローマ字の後に数字が付されている。従って、以下の説明では、図3に図示するローマ字に数字が付されたコンポーネントで説明し、数字のみのコンポーネントは図1のブロックダイアグラムに示されるものである。上流ハブポート2は、図3C中にJ₅として示され、図3AにU₁で示すハブチップ3に接続されている。電源5は、

10

20

30

40

50

図3DにJ₆で示す。この電源J₆は、従来のアンレギュレートのDC電源である。それは、高電流低ドロップアウトレギュレータU₁₀に接続されている。この特定レギュレータは、ミクレル（Micrel）社の部品番号MIC29301として市販されている。このレギュレータは、ロジックレベルオン/オフコントロール（ピン1）とエラーフラグ（ピン5）を特長とし、エラーフラグは出力がレギュレーションを外れると信号を発生する。このフラグ状態には、低入力電圧（ドロップアウト）、出力電流制限、温度異常上昇及び入力の異常高電圧スパイクを含んでいる。ここで示す如く、PSイネーブル信号がピン1から出力され、上流ハブポートバス電源信号に接続され、上流ハブポートJ₅のピン1に5Vとして示される。

【0020】レギュレータU₁₀の出力（ピン4）は通常閉状態のリレーK₁のコイル（ピン2）に供給される。これは図1のブロックダイアグラムの制御可能なスイッチ4に対応する。また、この出力は、ハブチップ3の自己電源モードポートにも供給される。これは、ハブチップU₁のピン10に供給される/BUSPWRとして図示されている。デジタル的にイネーブルされるスイッチ1は、この図3B中ではU₁₄として図示され、上流ハブポートJ₅の5Vピン1に接続される。更に、/Reg. Enable信号は、U₁₄のイネーブルポート（ピン2）に接続され、電源レギュレータU₁₀のピン5から反転フラグ出力の供給される。デジタル的にイネーブルされるスイッチ1の出力は、U₁₄のPC（ピン8）として示され、U₁の/Resetのピン25に供給する遅延回路に接続される。終端抵抗R_xは図中R₃₃として表示され、一端が上流ハブポートJ₅のDATA+ピンに接続される。この終端抵抗R_xの他端は、U₁のV_{cc1}、V_{cc2}と表示されたハブチップ3のHub Ckt Power及びU₁₄中OUT₁、OUT₂と表示されているデジタル的にイネーブルされるスイッチ1に接続されている。図3では、この接続は、3.3Vノードを介して行われていることに注目されたい。

【0021】入力過渡抑圧（トランジェントサプレッション）は、上流ポートJ₅に接続されているU₇により行われ、出力過渡抑圧はU₈及びU₉により行われる。最後に、局部発振器を有する相補回路がU₁のXTAL₁及びXTAL₂ポートに接続され、ハブチップU₁のタイミングを制御する。J₁乃至J₄で示す複数の下流ポートがハブチップU₁からDP₁₋₄及びDM₁₋₄に接続されて示される。

【0022】次に、図1のシステムと同様機能を有する本発明のハブ用電源切替回路の他の実施例を図4に示す。この図は、図3のものと類似するが、J₆により供給される自己電源信号で使用される簡易レギュレータU₁₁を使用する点で相違する。このレギュレータU₁₁は図3の第1実施例のレギュレータU₁₀に示されたイ

ネーブル及びフラグ出力を有しない。このレギュレータ U11 は、異なるリセット回路 6 を必要とし、図 1 のシステムと同様の機能を果たす。このリセット回路 6 は、1 対のシングルショットレギュレータ U10 を含み、デジタル的に制御可能なスイッチ U14 への /Reg. Enable 入力にリセットパルスを発生する。これらレギュレータは、米国シグネチック社が製造する部品番号 74HC221 の如き種々の市販のレギュレータから選択可能である。これらレギュレータ U10 の 1 つは、電源 5 がオンとされたとき /Reg. Enable にパルスを発生する。他方はこの電源 5 がオフとされたとき、パルスを発生する。このリセットは、図 3 のリセットと実質的に同じである。

【0023】以上、本発明のハブ用電源切替回路の好適実施例を詳述したが、本発明は単に斯る実施例のみに限定されるものではないことに留意されたい。特定用途に応じて種々の変形変更が可能であること勿論である。

【0024】

【発明の効果】上述の説明から理解される如く、本発明のハブ用電源切替回路によると、ハブとホストコンピュータとの間の接続を切断又は遮断することなく、自己電源モードとバス電源モード間で自動的に切替可能である

という実用上の顕著な効果を有する。

【図面の簡単な説明】

【図 1】本発明によるハブ用電源切替回路を含むハブ制御回路のブロック図である。

【図 2】図 1 のハブ制御回路の各部の動作を示すタイミングチャートである。

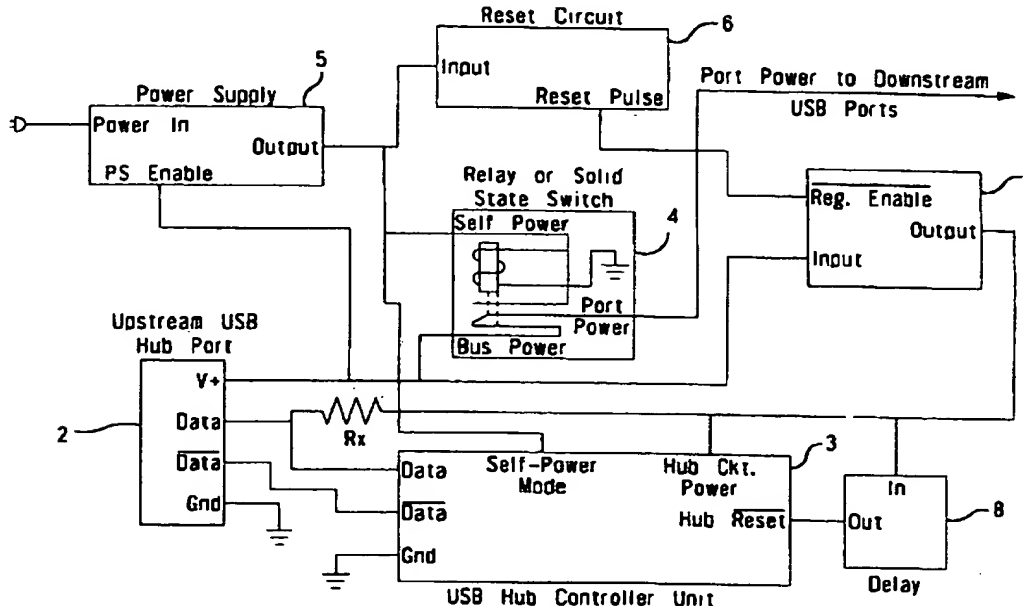
【図 3】図 1 のブロック図と図 3 A-図 3 J 間の関係を示す配置図であり、図 3 A-図 3 J は図 1 の各ブロックの詳細構成図である。

【図 4】図 1 のハブ制御回路の他の実施例を示す図 3 A-図 3 J と同様の詳細構成図である。

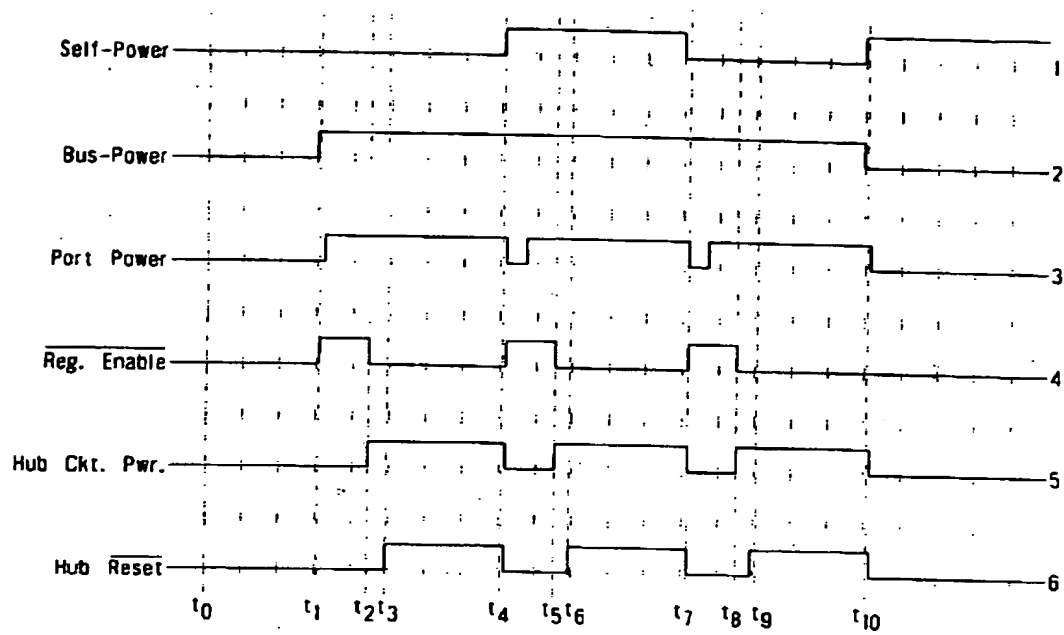
【符号の説明】

- 1 (デジタル的にイネーブルされる) スイッチ
- 2 上流ハブポート
- 3 制御回路 (コントローラ)
- 4 制御可能なスイッチ
- 5 電源
- 6 リセット回路
- 8 遅延回路
- 20 Rx 終端抵抗
- Hub Reset ハブリセット

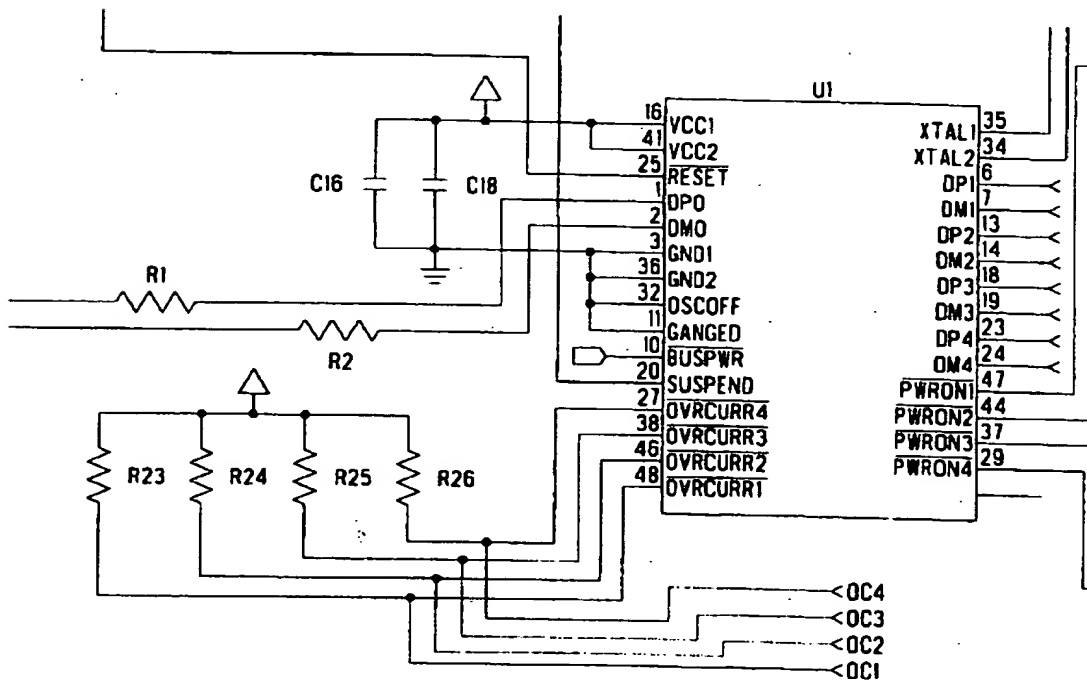
【図 1】



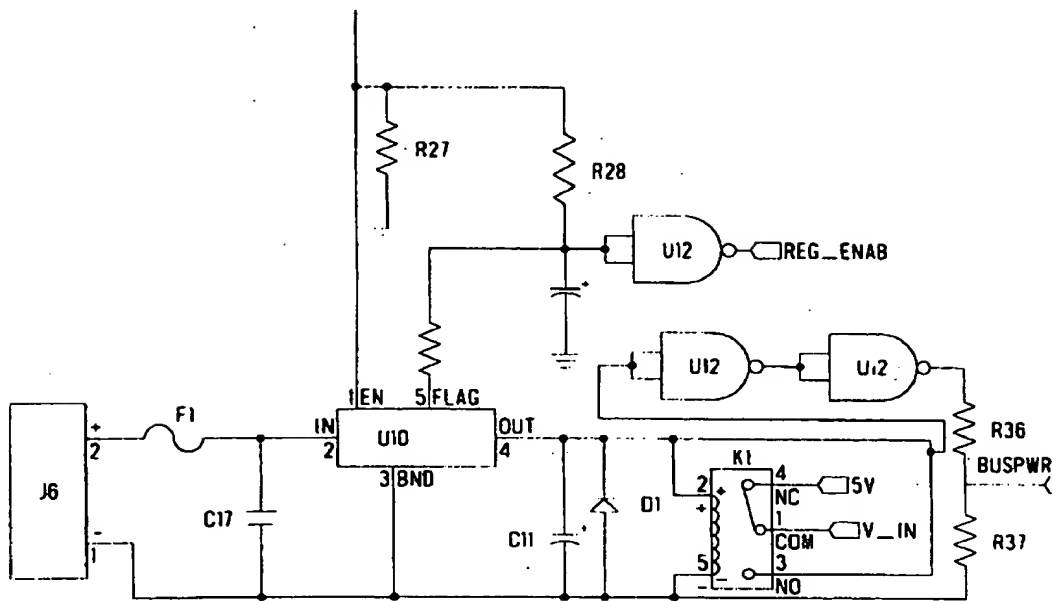
【図 2】



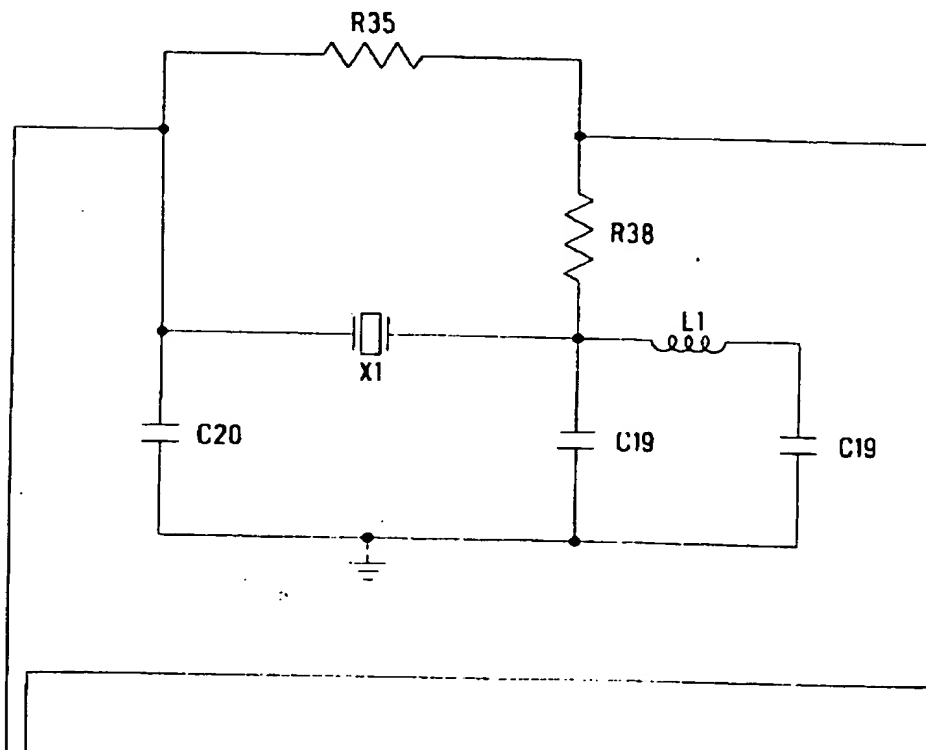
【図 3 A】



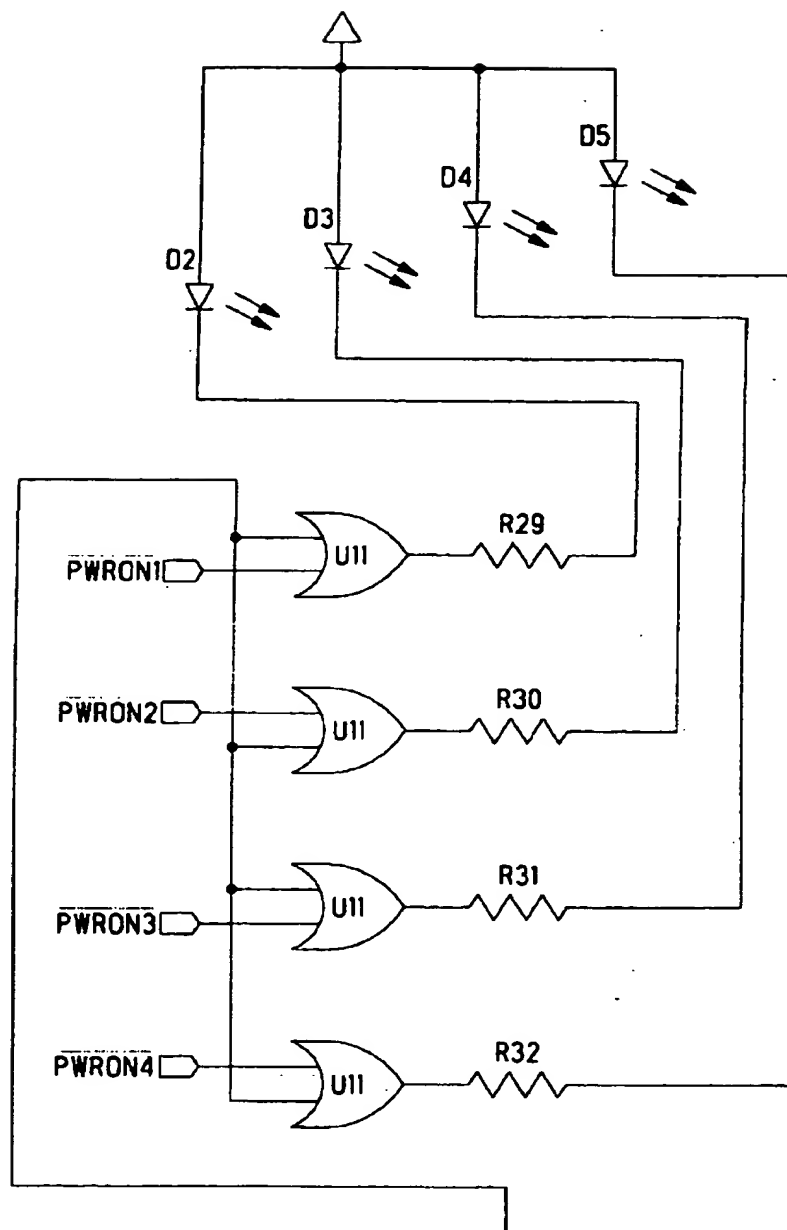
【図 3 D】



【図 3 F】

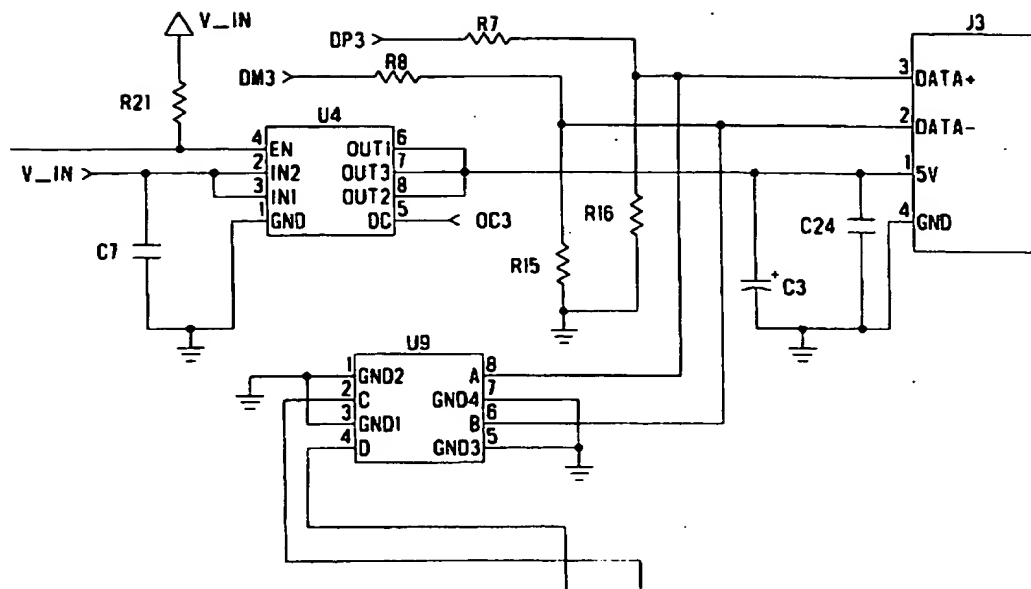


【図 3 E】

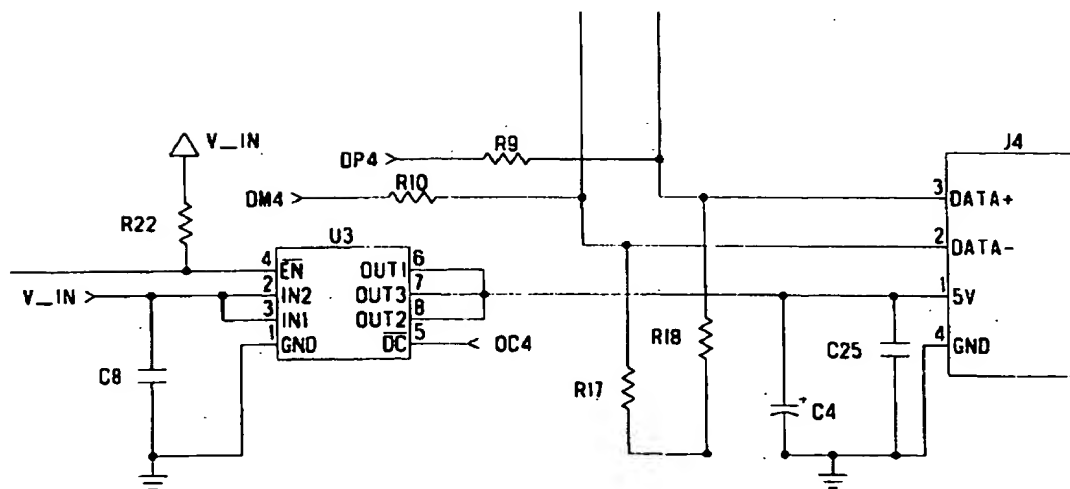


The circuit diagram illustrates a 16-bit digital-to-analog converter (DAC) using two 8-bit DACs, U2 and U8, and a 16-bit digital input (J1). The input J1 provides 16 digital signals: DATA+, DATA-, 5V, and GND. The 5V signal is connected to the V_{IN} of the DACs. The GND signal is connected to the GND pins of the DACs. The DATA+ and DATA- signals are connected to the DP1 and DM1 pins of the DACs, respectively. The DACs are configured with their output pins (OUT1, OUT2, OUT3, OUT4) connected to the 5V and GND lines. The DACs are also connected to a feedback network consisting of resistors R11, R12, R3, and R4, and capacitors C1 and C5. The output of the DACs is connected to the 5V and GND lines. The circuit is powered by a 5V supply and a ground connection.

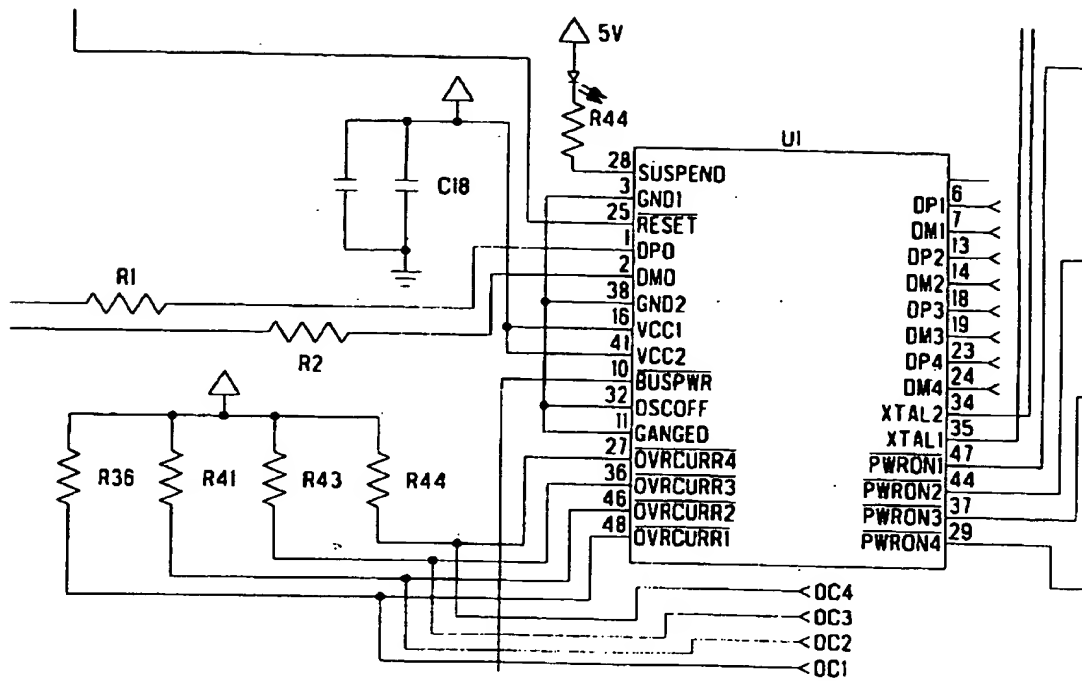
【図 3 I】



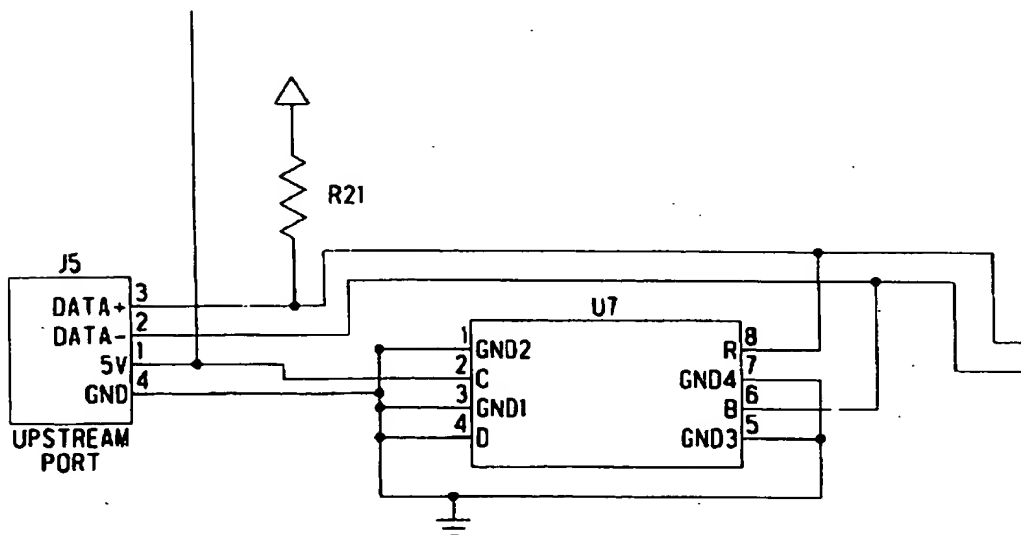
【図 3 J】



【図 4 A】

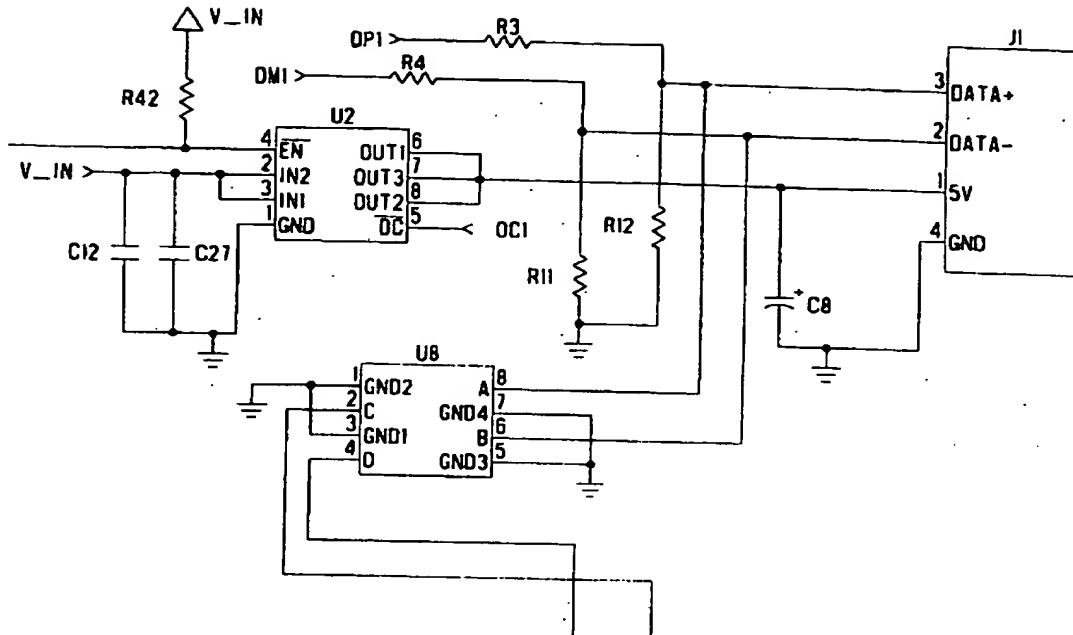


【図 4 B】

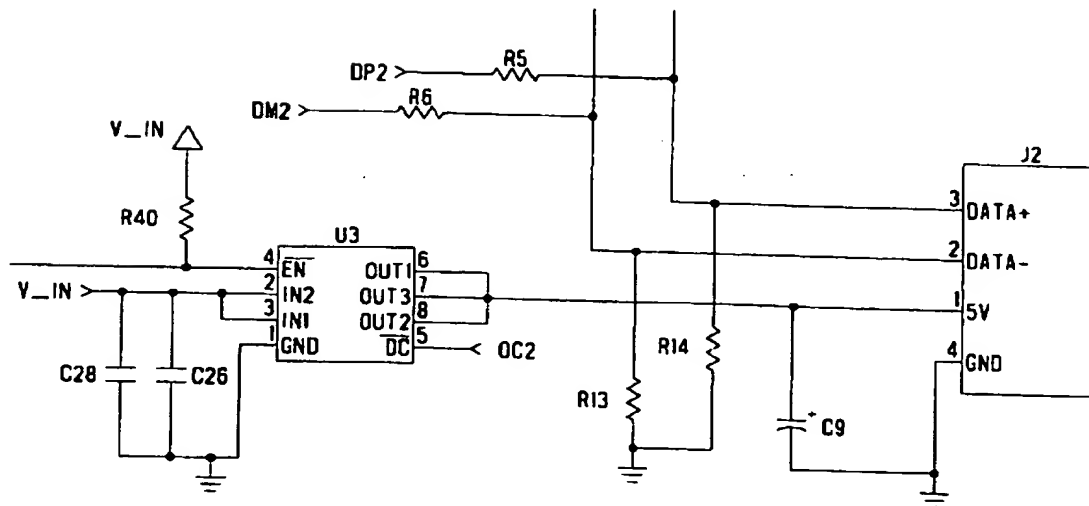


The circuit diagram shows two U10 components connected via logic gates U13 and U14. The first U10 has inputs A (pin 1), B (pin 2), CLR (pin 3), CEXT (pin 14), and REXT (pin 15). Its outputs are 13 (pin 0) and 4 (pin 0). The second U10 has inputs A (pin 9), B (pin 10), CLR (pin 11), CEXT (pin 6), and REXT (pin 7). Its outputs are 5 (pin 0) and 12 (pin 0). Both U10 components have their CEXT pins connected to ground through capacitors C21 and C22, and their REXT pins connected to ground through resistors R34 and R35. The output of the first U10 (pin 13) is connected to input A of the second U10 (pin 9). The output of the second U10 (pin 12) is connected to input B of the first U10 (pin 2). The output of the first U10 (pin 4) is connected to input A of U13 (pin 1). The output of the second U10 (pin 5) is connected to input B of U13 (pin 2). The output of U13 (pin 0) is connected to input A of U14 (pin 1). The output of U14 (pin 0) is connected to input B of the first U10 (pin 2).

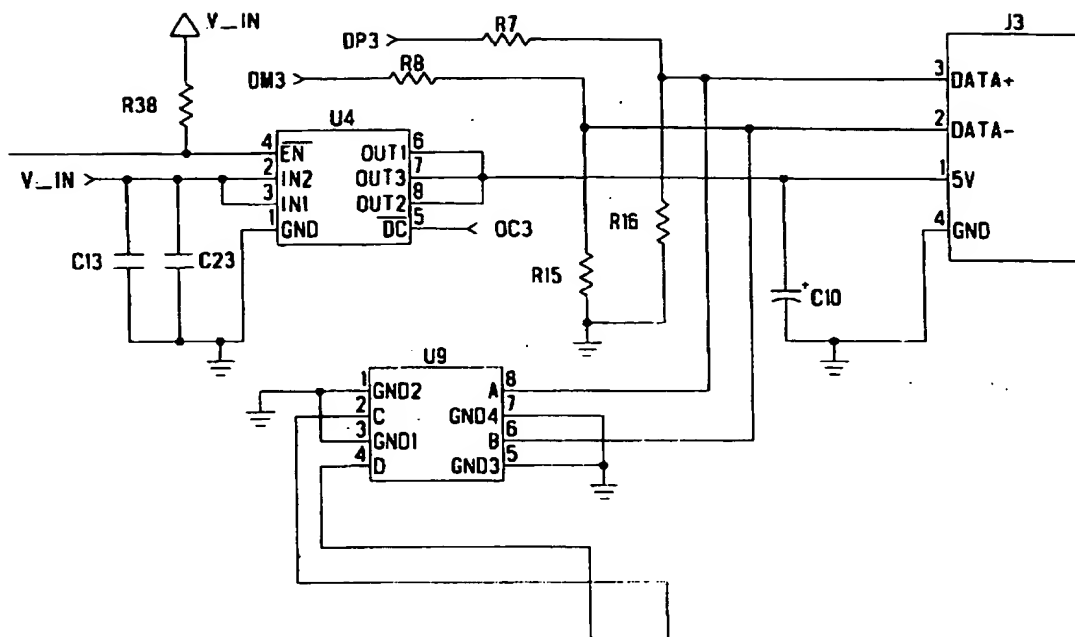
【図 4 G】



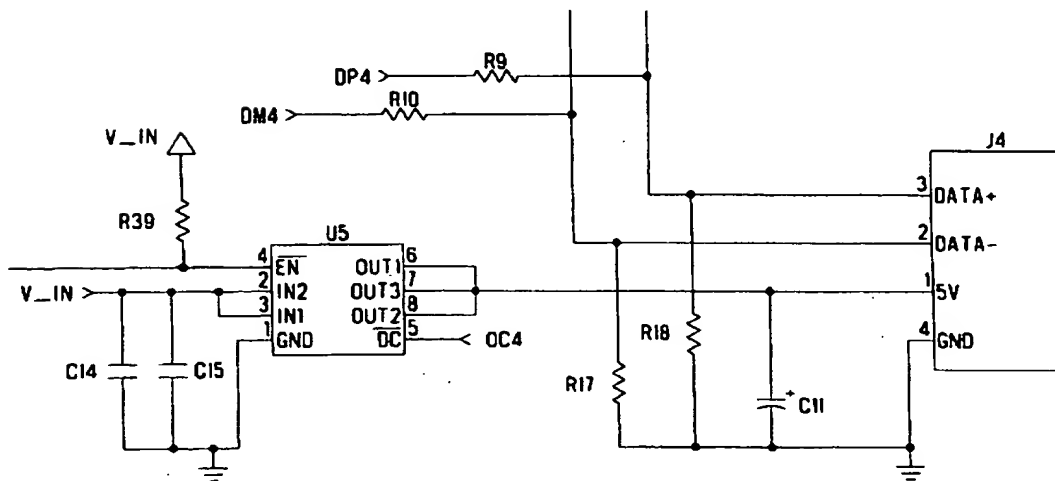
【図 4 H】



【図 4 I】



【図 4 J】



【手続補正書】

【提出日】平成10年12月24日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明によるハブ用電源切替回路を含むハブ制御回路のブロック図である。

【図2】図1のハブ制御回路の各部の動作を示すタイミングチャートである。

【図3】図1のブロック図と、その各部の具体的回路を示す図3A乃至図3J間の関係を示す配置図である。

【図3A】図1のハブチップ及びその周辺回路を示す図である。

【図3B】図1のデジタル的にイネーブルされるスイッチを示す図である。

【図3C】図1の上流ハブポート周辺の回路図である。

【図 3 D】図 1 のハブ用電源切替回路の電源部を示す図である。

【図 3 E】図 1 のハブ用電源切替回路のインジケータ部の回路図である。

【図 3 F】図 3 A のハブチップに接続される水晶振動子 (X1) を含む回路図である。

【図 3 G】図 1 の下流ポートを含む部分の回路図である。

【図 3 H】図 1 の下流ポートを含む部分の回路図である。

【図 3 I】図 1 の下流ポートを含む部分の回路図である。

【図 3 J】図 1 の下流ポートを含む部分の回路図である。

【図 4】図 1 のブロック図と、その各部の具体的回路の変形例を示す図 4 A 乃至図 4 J 間の関係を示す配置図である。

【図 4 A】図 3 A の変形例を示す図である。

【図 4 B】図 3 C の変形例を示す図である。

【図 4 C】図 3 B の変形例を示す図である。

【図 4 D】シングルショットレギュレータを含みリセットパルスが発生する回路の回路図である。

【図 4 E】図 3 D の変形例を示す図である。

【図 4 F】図 3 F の変形例を示す図である。

【図 4 G】図 3 G の変形例を示す図である。

【図 4 H】図 3 H の変形例を示す図である。

【図 4 I】図 3 I の変形例を示す図である。

【図 4 J】図 3 J の変形例を示す図である。

【符号の説明】

- 1 (デジタル的にイネーブルされる) スイッチ
- 2 上流ハブポート
- 3 制御回路 (コントローラ)
- 4 制御可能なスイッチ
- 5 電源
- 6 リセット回路
- 8 遅延回路
- R x 終端抵抗
- Hub Reset ハブリセット

【手続補正 2】

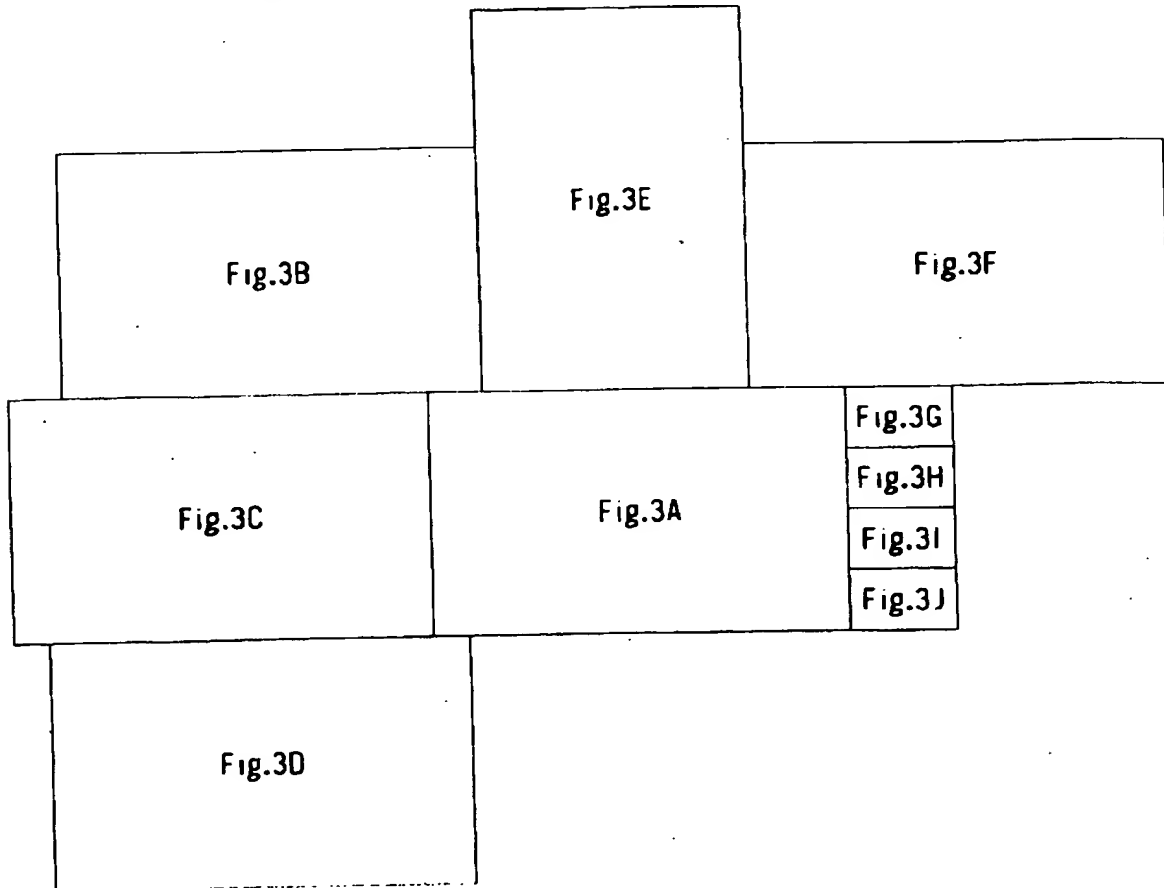
【補正対象書類名】図面

【補正対象項目名】図 3

【補正方法】追加

【補正内容】

【図 3】



【手続補正 3】

【補正対象書類名】図面

【補正対象項目名】図 4
【補正方法】追加

【補正内容】
【図 4】

